

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

PARK, Ji Yong et al.

Application No.: TO BE ASSIGNED

Group Art Unit: TO BE ASSIGNED

Filed: October 23, 2003

Examiner:

For: METHOD FOR MANUFACTURING POLYCRYSTALLINE SILICON THIN FILM AND  
THIN FILM TRANSISTOR FABRICATED USING POLYCRYSTALLINE SILICON THIN  
FILM MANUFACTURED BY THE MANUFACTURING METHOD

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN**  
**APPLICATION IN ACCORDANCE**  
**WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith  
a certified copy of the following foreign application:

Korean Patent Application No(s). 2003-12101

Filed: February 26, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing  
date(s) as evidenced by the certified papers attached hereto, in accordance with the  
requirements of 35 U.S.C. § 119.

Respectfully submitted,  
STAAS & HALSEY LLP

Date: October 23, 2003

By: 

Michael D. Stein  
Registration No. 37,240

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

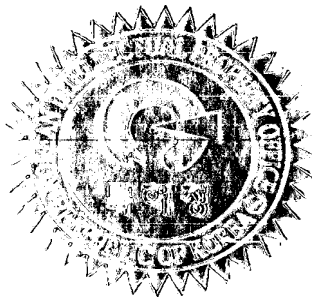
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0012101  
Application Number

출원년월일 : 2003년 02월 26일  
Date of Application FEB 26, 2003

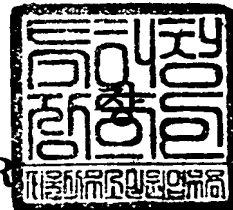
출원인 : 삼성에스디아이 주식회사  
Applicant(s) SAMSUNG SDI CO., LTD.



2003      년      06      월      13      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.26
【발명의 명칭】	다결정 실리콘 박막의 제조 방법 및 그 제조 방법에 의해 제조된 다결정 실리콘 박막을 사용하여 제조되는 박막 트랜 지스터
【발명의 영문명칭】	METHOD FOR MANUFACTURING POLYCRYSTALLINE SILICON THIN FILM AND THIN FILM TRANSISTOR USING POLYCRYSTALLINE SILICON THIN FILM THEREBY
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	박지용
【성명의 영문표기】	PARK, JI YONG
【주민등록번호】	700331-1823311
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 993-5, 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	박혜향
【성명의 영문표기】	PARK, HYE HYANG
【주민등록번호】	771015-2657220
【우편번호】	441-390
【주소】	경기도 수원시 권선구 권선동 1285-7, 101
【국적】	KR
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
박상수 (인)

## 【수수료】

【기본출원료】 16 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 12 항 493,000 원

【합계】 522,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 다결정 실리콘 박막을 제조하는 방법 및 그 제조 방법에 의해 제조되는 다결정 실리콘 박막을 이용하는 박막 트랜지스터에 관한 것으로, 레이저빔을 이용하여 비정질 실리콘 박막을 결정화할 때 상기 레이저빔이 중첩 조사되는 영역이 0.5  $\mu\text{m}$ 보다 큰 것을 특징으로 다결정 실리콘 박막의 제조 방법 및 그 제조 방법에 의해 제조되는 박막 트랜지스터를 제공함으로써, 전류 특성 등이 우수한 박막 트랜지스터를 제공할 수 있다.

**【대표도】**

도 2a

**【색인어】**

다결정 실리콘 박막, 박막 트랜지스터, SLS 방법

**【명세서】****【발명의 명칭】**

다결정 실리콘 박막의 제조 방법 및 그 제조 방법에 의해 제조된 다결정 실리콘 박막을 사용하여 제조되는 박막 트랜지스터{METHOD FOR MANUFACTURING POLYCRYSTALLINE SILICON THIN FILM AND THIN FILM TRANSISTOR USING POLYCRYSTALLINE SILICON THIN FILM THEREBY}

**【도면의 간단한 설명】**

도 1a 및 도 1b는 통상의 일실시예에 따른 SLS 결정화 방법 및 그 방법에 의해 제조된 다결정 실리콘의 개략적인 형태를 나타내는 도면이다.

도 2a 내지 도 2d는 본 발명의 실시예들에 따라 중첩 영역의 폭을 각각 0.5, 1, 1.5, 2  $\mu\text{m}$ 으로 달리하여 형성된 다결정 실리콘 결정립의 조직을 보여주는 사진이다.

도 3은 도 2a 내지 도 2d의 결정립 구조를 가지는 다결정 실리콘 박막(길이 3.5  $\mu\text{m}$ )에서 프라이머리 결정립 경계로부터 1  $\mu\text{m}$ , 1.75  $\mu\text{m}$ , 2.5  $\mu\text{m}$ 에서 결정립의 폭을 정량화한 값을 보여주는 그래프이다.

도 4는 도 2a 내지 도 2d의 구조를 가지는 다결정 실리콘 박막을 이용하여 제조한 TFT의 전계 이동도를 나타내는 그래프이다.

도 5는 도 2a 내지 도 2d의 구조를 가지는 다결정 실리콘 박막을 이용하여 제조한 TFT의 문턱 전압 특성을 나타내는 그래프이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

## &lt;6&gt; [산업상 이용분야]

<7> 본 발명은 다결정 실리콘 박막의 제조 방법 및 박막 트랜지스터에 관한 것으로, 더욱 상세하게는 원주형 모양을 가지는 다결정 실리콘의 결정립의 폭을 크게 할 수 있는 다결정 실리콘 박막의 제조 방법 및 그 제조 방법에 의해 제조된 다결정 실리콘 박막을 사용하는 박막 트랜지스터에 관한 것이다.

## &lt;8&gt; [종래 기술]

<9> SLS 결정화 기술을 이용하여 기판 상에 다결정 또는 단결정인 입자가 거대 실리콘 그레인(large silicon grain)을 형성할 수 있으며, 이를 이용하여 TFT를 제작하였을 때, 단결정 실리콘으로 제작된 TFT의 특성과 유사한 특성을 얻을 수 있는 것으로 보고되고 있다.

<10> 이를 구현하는 방법으로는 PCT 국제 특허 WO 97/45827호 및 미국 특허 제6,322,625호에서 개시된 바와 같이, 비정질 실리콘을 증착한 후 SLS 기술로 전체 기판 상의 비정질 실리콘을 다결정 실리콘으로 변환하거나, 기판 상의 선택 영역만을 결정화하는 기술이 개시되어 있다.

<11> 또한, 미국 특허 제6,177,391호에서는 SLS 결정화 기술을 이용하여 거대 입자 실리콘 그레인을 형성하여 드라이버와 화소 배치를 포함한 LCD 디바이스용 TFT 제작시 액티브 채널 방향이 SLS 결정화 방법에 의하여 성장된 결정립 방향에 대하여 평행한 경우 전

하 캐리어 방향에 대한 결정립계의 배리어 효과가 최소가 되므로 단결정 실리콘에 버금가는 TFT 특성을 얻을 수 있는 반면, 액티브 채널 방향과 결정립 성장 방향이  $90^\circ$ 인 경우 TFT 특성이 전하 캐리어의 트랩으로 작용하는 많은 결정립 경계가 존재하게 되며, TFT 특성이 크게 저하된다.

<12> 이는 통상적으로 SLS 방법이 비정질 실리콘 층에 레이저빔을 2회 이상 중첩 조사하여 결정질 실리콘을 측면 성장시킴으로써 결정화하는 방법이다. 이를 이용하여 제조한 다결정 실리콘 결정립은 한 방향으로 길쭉한 원주형 모양을 가지는 것을 특징으로 하며, 결정립의 유한한 크기로 인하여, 인접한 결정립 사이에는 결정립 경계가 발생하기 때문이다.

<13> 실제로, 액티브 매트릭스 디스플레이 제작시 구동 회로내의 TFT와 화소 셀 영역 내의 TFT는 일반적으로  $90^\circ$ 의 각도를 갖는 경우가 있으며, 이때, 각 TFT의 특성을 크게 저하시키지 않으면서, TFT간 특성의 균일성을 향상시키기 위해서는 결정 성장 방향에 대한 액티브 채널 영역의 방향을  $30^\circ$ 내지  $60^\circ$ 의 각도로 기울어지게 제작함으로써 디바이스의 균일성을 향상시킬 수 있다.

<14> 그러나, 이 방법 역시 SLS 결정화 기술에 의해 형성되는 유한 크기의 결정립을 이용함으로써, 치명적인 결정립 경계가 액티브 채널 영역 내에 포함될 확률이 존재하며, 따라서, TFT 간 특성 차이를 야기시키는 예측할 수 없는 불균일성이 존재하게 된다는 문제점이 있다.

<15> 또한, 액티브 채널의 방향과 결정립 성장 방향이 평행한 경우에도 TFT 특성은 결정립의 길이뿐만 아니라 성장 방향이 같은 나란히 배열된 결정립 사이의 간격(결정립의



폭)에 따라 달라지게 된다. 결정립의 폭이 작은 경우에는 전하 이동시 스캐터링 효과(scattering effect)에 의해 전계 이동도가 크게 저하된다는 문제점이 있다.

<16> 따라서, 일정한 크기 이상의 결정립 폭을 갖는 결정립을 제조하는 제조 방법이 요구되고 있다.

**【발명이 이루고자 하는 기술적 과제】**

<17> 본 발명은 위에서 설명한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 우수한 특성을 갖는 다결정 실리콘 박막을 제조할 수 있는 다결정 실리콘 박막의 제조 방법을 제공하는 것이다.

<18> 또한, 본 발명은 상기의 제조 방법을 사용함으로써 전류 특성 등이 우수한 박막 트랜지스터를 제공하는 것이다.

**【발명의 구성 및 작용】**

<19> 본 발명은 상기한 목적을 달성하기 위하여,

<20> 레이저빔을 이용하여 비정질 실리콘 박막을 결정화할 때 상기 레이저빔이 중첩 조사되는 영역이 0.5  $\mu\text{m}$ 보다 큰 것을 특징으로 다결정 실리콘 박막의 제조 방법을 제공한다.

<21> 또한, 본 발명은

<22> SLS 결정화 방법으로 다결정 실리콘 박막을 제조하는 방법에 있어서, 사용되는 마스크가 하기의 식을 만족하는 디자인을 갖는 것을 특징으로 하는 다결정 실리콘 박막의 제조 방법을 제공한다.

<23> [식]

<24>  $a > b + 1,$

<25> 상기 식에서, 단위는  $\mu\text{m}$ 이고,  $a$ 는 레이저가 투과하는 영역의 폭,  $b$ 는 레이저가 투과하지 못하는 영역을 나타낸다.

<26> 이하, 본 발명을 도면을 참조하여 더욱 상세히 설명한다. 본 발명에서 사용되는  $a$  및  $b$ 는 단위가  $\mu\text{m}$ 인 길이를 나타낸다.

<27> 도 1a 및 도 1b는 통상의 SLS 결정화 방법 및 그 방법에 의해 제조된 다결정 실리콘의 개략적인 형태를 나타내는 도면이다.

<28> 도 1a에서와 같이 SLS(Sequential Lateral Solidification) 방법으로 비정질 실리콘을 결정화시키는 방법에서 사용되는 마스크는 레이저빔이 투과되는 영역(폭:  $a$ )과 투과하지 못하는 영역(폭:  $b$ )이 연속적으로 배열된 형태를 가진다.

<29> 상기 폭  $a$ ,  $b$ 는 프라이머리 결정립 경계와 수직인 방향으로 직선 길이로 측정하였을 때 마스크에 의해 빛이 투과하는 영역과 투과하지 못하는 영역으로 정의된다.

<30> 또한, 결정립 경계가 액티브 채널(active channel) 영역 내에 존재할 때 TFT 특성에 치명적인 영향을 주는 결정립 경계, 즉, 액티브 채널 방향의 수직 방향에 대한 결정립 경계의 기울어짐 각도가  $-45^\circ \leq \theta \leq 45^\circ$ 인 "프라이머리" 결정립 경계라 정의하며, 프라이머리 결정립 경계와 수직으로 형성되어 있는 "세컨더리" 결정립 경계 사이의 거리를 결정립 경계의 폭( $W$ )이라고 정의하며, 통상 오차 범위에 속하는 결정립 경계의 거리라고 정의한다.

- <31> 위와 같이 레이저빔을 상기 마스크를 통과하여 비정질 실리콘 박막층에 조사하면 레이저빔이 투과한 영역에서는 비정질 실리콘의 용해와 응고에 의해 다결정 실리콘 결정립이 측면 성장이 일어나지 못하게 되므로 한 방향으로 길쭉한 원주형의 결정립을 가지는 다결정 실리콘 박막층이 형성되고 레이저빔이 투과하지 못하는 영역에서는 비정질 실리콘이 남아 있다.
- <32> 도 1b와 같이, 스테이지 이동에 의해 마스크를 이동하여 비정질 실리콘 박막층과 이미 결정화된 다결정 실리콘층의 일부가 노출되도록 중첩하여 레이저빔을 조사하면 비정질 실리콘 및 결정질 실리콘이 용해되고 이후 냉각이 되면서 마스크에 가려 용해되지 않은 기 형성된 다결정 실리콘 결정립에 실리콘 원자가 부착되어 결정립이 성장하여 폭이 W인 한 방향으로 길쭉한 원주형 결정립을 가지게 된다.
- <33> 한편, 레이저빔을 재차 중첩 조사할 경우, 중첩된 부분의 기형성된 결정립은 다시 용해되고 이 용해되는 영역의 폭(o)에 의해 결정화된 다결정 실리콘 결정립의 폭(W)이 달라지게 된다.
- <34> 도 2a 내지 도 2d는 본 발명의 실시예들에 따라 중첩 영역의 폭을 각각 0.5, 1, 1.5, 2  $\mu\text{m}$ 으로 달리하여 형성된 다결정 실리콘 결정립의 조직을 보여주는 사진이다.
- <35> 도 3은 도 2a 내지 도 2d의 결정립 구조를 가지는 다결정 실리콘 박막(길이 3.5  $\mu\text{m}$ )에서 프라이머리 결정립 경계로부터 1  $\mu\text{m}$ , 1.75  $\mu\text{m}$ , 2.5  $\mu\text{m}$ 에서 결정립의 폭을 정량화한 값을 보여주는 그래프이다.
- <36> 도 2a 내지 도 2d 및 도 3을 참조하면, 중첩 영역이 2  $\mu\text{m}$ 인 경우 결정립의 폭은 0.6  $\mu\text{m}$  이상이며, 중첩이 감소하여 중첩이 0.5  $\mu\text{m}$ 인 경우 결정립의 폭은 0.2  $\mu\text{m}$  정도의

크기를 가진다. 이와 같이, 레이저빔이 중첩 조사되는 영역의 폭(o)이 감소하게 되면 다결정 실리콘 결정립의 폭(W)은 감소하게 된다.

<37> 도 4는 도 2a 내지 도 2d의 구조를 가지는 다결정 실리콘 박막을 이용하여 제조한 TFT의 전계 이동도를 나타내는 그래프이고, 도 5는 도 2a 내지 도 2d의 구조를 가지는 다결정 실리콘 박막을 이용하여 제조한 TFT의 문턱 전압 특성을 나타내는 그래프이다.

<38> 도 4 및 도 5를 참조하면, 중첩이 큰 경우에는 전계 이동도 높고 문턱 전압은 낮은 우수한 TFT의 특성을 나타낸다. 중첩이  $1\ \mu\text{m}$  이상 되어 결정립 폭의 평균값이  $0.2\ \mu\text{m}$ 보다 크게 되며, 이러한 경우에는 중첩 정도에 따른 TFT 특성 차이가 비교적 적고 우수한 특성을 보인다. 이에 반해 중첩이  $0.5\ \mu\text{m}$ 로 결정화하여 다결정 실리콘 결정립 폭 (width)의 평균이  $0.2\ \mu\text{m}$  정도인 경우 전계 이동도는 크게 저하되었으며 문턱 전압도 높아졌으며 TFT간 불균일한 특성을 나타낸다.

<39> 따라서, 결정화시 레이저빔이 중첩 조사되는 영역(overlap)을  $0.5\ \mu\text{m}$  이상 되게 하면 평균 결정립의 폭이  $0.2\ \mu\text{m}$  이상인 다결정 실리콘 박막을 형성할 수 있고 이를 이용하여 제조한 TFT는 균일하고 우수한 특성을 갖게 된다.

<40> 즉, 투명 영역인 도 1a의 a와 불투명 영역인 b와의 관계에서 중첩되는 부분은 a-b가 되고 a-b가  $1\ \mu\text{m}$  이상이면 평균 결정립의 폭이  $0.2\ \mu\text{m}$  이상인 다결정 실리콘 박막을 형성할 있다.

<41> 이를 식으로 정리하면 다음과 같이 된다.

<42> [식]

<43>  $a > b + 1,$

- <44>       상기 식에서, 단위는  $\mu\text{m}$ 이고, a는 레이저가 투과하는 영역의 폭, b는 레이저가 투과하지 못하는 영역을 나타낸다.
- <45>       본 발명에서 사용하는 레이저에 의한 결정화 방법으로는 SLS 방법을 사용하는 것이 바람직하다.
- <46>       또한, 본 발명에서 사용되는 마스크는 직사각형의 형태를 갖는 마스크를 사용하는 것이 바람직하다.

**【발명의 효과】**

- <47>       이상 설명한 바와 같이, 본 발명에서는 SLS 결정화시 기형성된 결정질 실리콘에 레이저 빔을 조사하는 영역을 최적화함으로써 결정립의 폭을 일정 크기 이상으로 증가시키고 이를 통하여 우수한 특성을 가지는 TFT용 다결정 실리콘 박막을 제조할 수 있다.

**【특허청구범위】****【청구항 1】**

레이저빔을 이용하여 비정질 실리콘 박막을 결정화할 때 상기 레이저빔이 중첩 조사되는 영역이  $0.5\ \mu\text{m}$ 보다 큰 것을 특징으로 하는 다결정 실리콘 박막의 제조 방법.

**【청구항 2】**

제 1항에 있어서,

상기 레이저빔이 중첩 조사되는 영역이  $1\ \mu\text{m}$  이상인 것을 특징으로 하는 다결정 실리콘 박막의 제조 방법

**【청구항 3】**

제 1항에 있어서,

상기 제조 방법은 SLS 방법인 다결정 실리콘 박막의 제조 방법.

**【청구항 4】**

제 1항의 제조 방법에 의해서 제조되는 다결정 실리콘 박막을 사용하여 제조되는 것을 특징으로 하는 박막 트랜지스터.

**【청구항 5】**

제 4항에 있어서,

상기 다결정 실리콘 박막의 결정립의 평균 폭이  $0.2\ \mu\text{m}$  이상인 박막 트랜지스터.

**【청구항 6】**

레이저빔을 사용하여 비정질 실리콘을 결정화하여 다결정 실리콘 박막을 제조하는 방법에 있어서,

사용되는 마스크가 하기의 식을 만족하는 디자인을 갖는 것을 특징으로 하는 다결정 실리콘 박막의 제조 방법:

[식]

$$a > b + 1,$$

상기 식에서, 단위는  $\mu\text{m}$ 이고,  $a$ 는 레이저가 투과하는 영역의 폭,  $b$ 는 레이저가 투과하지 못하는 영역을 나타낸다.

**【청구항 7】**

제 6항에 있어서,

상기 마스크가 형태가 직사각형인 다결정 실리콘 박막의 제조 방법.

**【청구항 8】**

제 5항에 있어서,

상기  $a$ 와 상기  $b$ 가 중첩 조사되는 폭이  $0.5 \mu\text{m}$ 보다 큰 다결정 실리콘 박막의 제조 방법.

**【청구항 9】**

제 8항에 있어서,

상기 중첩 조사되는 폭이  $1 \mu\text{m}$  이상인 다결정 실리콘 박막의 제조 방법.

【청구항 10】

제 6항에 있어서,

상기 제조 방법이 SLS 방법인 다결정 실리콘 박막의 제조 방법.

【청구항 11】

제 6항의 제조 방법으로 제조된 다결정 실리콘 박막을 사용하는 것을 특징으로 하는 박막 트랜지스터.

【청구항 12】

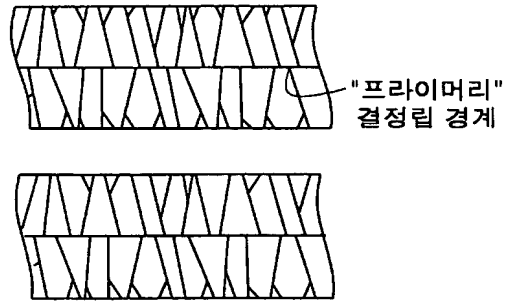
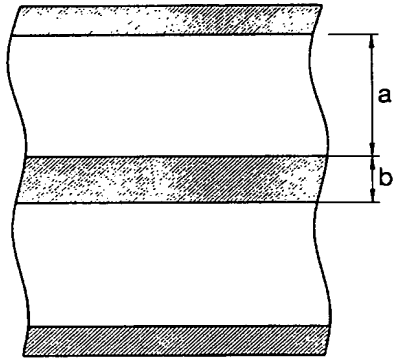
제 11항에 있어서,

상기 다결정 실리콘의 결정립의 평균 폭이  $0.2\ \mu\text{m}$  이상인 박막 트랜지스터.

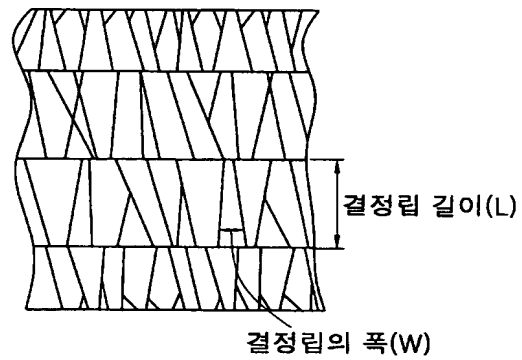
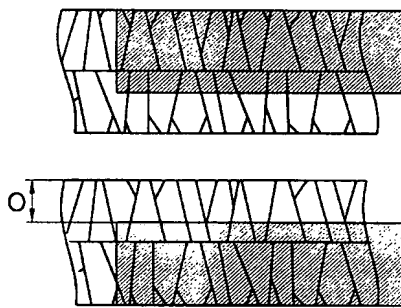


【도면】

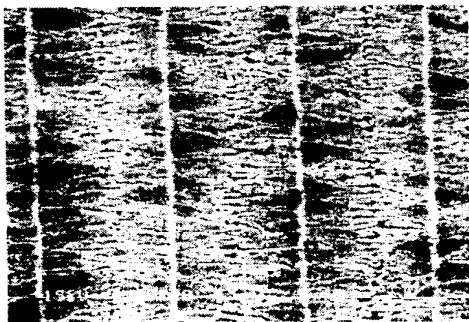
【도 1a】



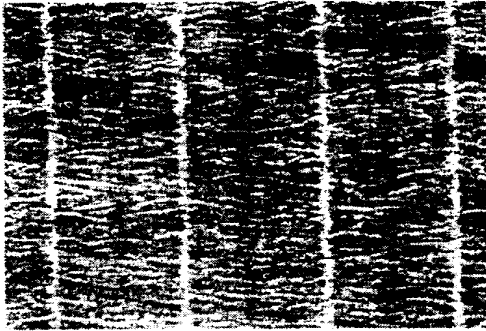
【도 1b】



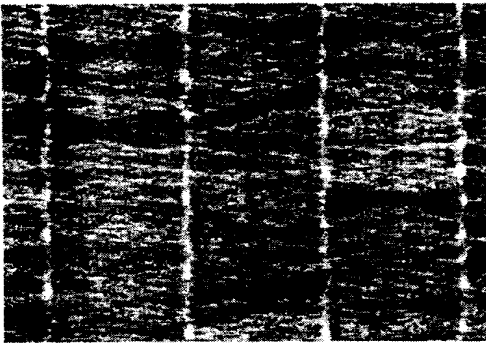
【도 2a】



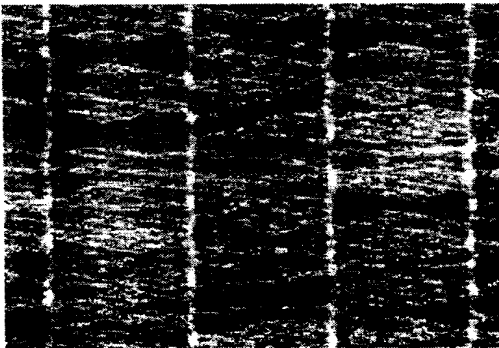
【도 2b】



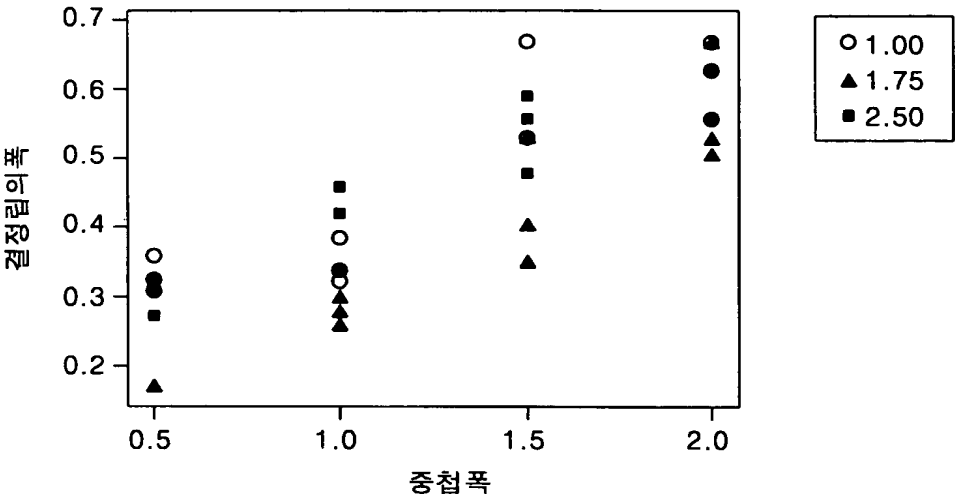
【도 2c】



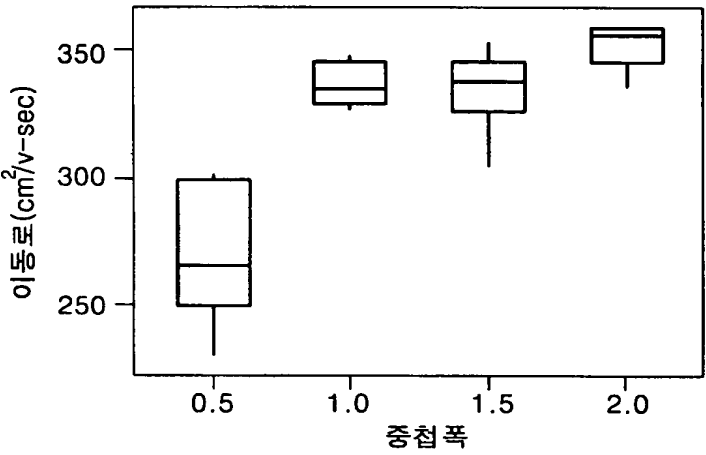
【도 2d】



【도 3】



【도 4】



【도 5】

